

ISSCC 2014 - 東工大、クロック生成回路をデジタル回路で構成

日野雄太 [2014/02/12]

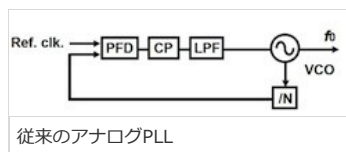
東京工業大学(東工大)は2月7日、デジタル回路で構成するクロック生成回路の作製に成功したと発表した。

同成果は、同大 大学院理工学研究科の松澤昭教授、岡田健一准教授らによるもの。詳細は、2月9日～13日に米国サンフランシスコで開催されている「国際固体回路会議(ISSCC) 2014」にて発表される。

デジタル回路の設計では、ハードウェア記述言語という専用の言語で回路を記載することで、論理ゲートによる回路を自動的に合成し、さらに論理ゲートを自動的に配置、配線して、半導体チップの設計図となるレイアウトデータを生成することができる。これにより、製造する装置や工場が変更になっても、ハードウェア記述言語で記述した回路は再利用できるため、簡単にレイアウトデータを再生成することができる。

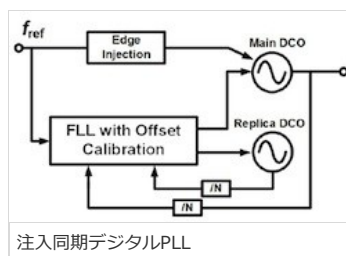
一方、アナログ回路の設計では、トランジスタによる回路図を作成し、トランジスタの寸法やバイアス電圧をエンジニアが決定する。そのため、製造する装置や工場が変更になった場合は、再度、トランジスタの寸法やバイアス電圧をエンジニアが決める必要がある。このようなアナログ回路のうち最も典型的なものがクロック生成回路である。クロックの生成には、位相同期回路(PLL:Phase-Locked Loop)を用いる。この位相同期回路をデジタル回路により実現できたのが今回の成果である。専用の設計ツールなどは不要で、一般的なデジタル回路用の設計ツールのみで設計できる。同クロック生成回路は、ハードウェア記述言語で回路を記述することができるため、製造する装置や工場が変更になっても、レイアウトデータを都度自動で生成することができる。

一般に、クロック生成にはPLLが用いられる。集積回路中では、正確な周波数基準が作れないため、水晶発振器による基準周波数を用いる。しかし、水晶発振器で発生できる周波数は数百MHzまでであり、また、その周波数は固定であるため、水晶発振器による基準周波数 f_{ref} をPLLで逡倍して、所望の周波数を集積回路中で生成する。逡倍比 N に対して、 $N \cdot f_{ref}$ の周波数のクロックが出力される。PLLは、電圧制御発振器(VCO)の出力を分周し(N)、位相周波数比較器(PFD)とチャージポンプ(CP)により、位相・周波数差を電荷量に変換して、ローパスフィルタ(LPF)で、電圧制御発振器の制御電圧としている。このため、電圧制御発振器の消費電力削減とジッタ改善、LC型電圧制御発振器やLPFの面積縮小が課題となっている。

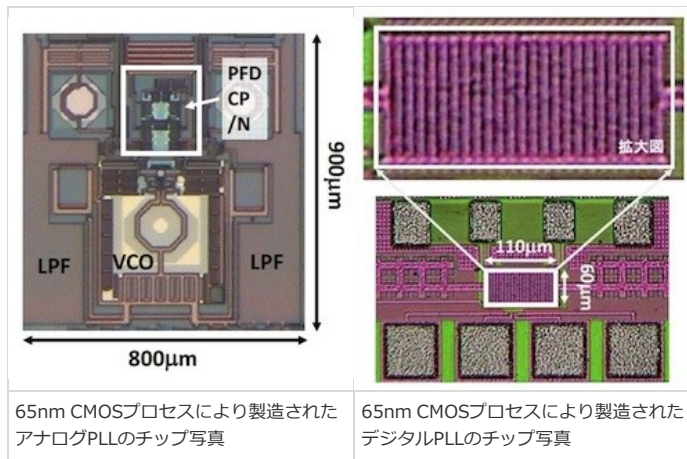


この他、大部分をデジタル回路で置き換えたPLLとして、完全デジタルPLL(All-Digital PLL)が知られている。これは、位相周波数比較器、チャージポンプ、ローパスフィルタを、時間デジタル変換器とデジタルローパスフィルタに置き換えたもので、電圧制御発振器の代わりにデジタル制御発振器を用いる。時間デジタル変換器は論理ゲートにより構成することが可能だが、エンジニアによる設計が不可欠だった。フィードバック制御による位相同期のため、時間デジタル変換器に正確な時間分解能が必要だったためである。

そこで今回、水晶発振器からの低ジッタの基準信号を注入することで、フィードバック制御ではなくフィードフォワード制御による位相同期を実現した。手設計が必要な時間デジタル変換器が不要なため、デジタル回路設計と同様の手順での自動設計が可能となった。自動設計によるレイアウトの不確実性は、新たに考案した位相補間型三重発振器により解決した。また、電流出力型D/Aコンバータと微調可変容量により、低消費電力かつ高い周波数分解能を実現した。いずれの回路も論理ゲートのみでの構成を可能とした。



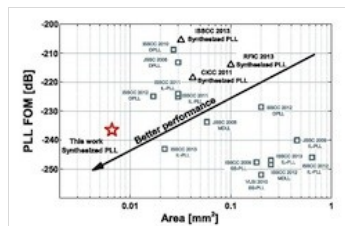
今回のPLLチップは65nm CMOS技術で作成された。面積は0.0066mm²。デジタル回路で構成することにより、大幅な小型化および低消費電力化を実現した。また、40MHz～300MHzの基準信号に対して、0.4GHz～1.4GHzのクロック出力が可能となっている。0.9GHz出力時の消費電力は0.78mWで、その際のジッタは1.7psと非常に高純度なクロック生成を実現している。



65nm CMOSプロセスにより製造されたアナログPLLのチップ写真

65nm CMOSプロセスにより製造されたデジタルPLLのチップ写真

今回開発した注入同期型PLLは、従来不可能だったデジタル回路のみによる注入同期動作に成功し、小型、低消費電力、低ジッタを同時に実現した。これにより、無線機の小型化、低消費電力化、マイクロプロセッサや専用LSIの大幅な低消費電力化、高速化、小型低価格化が実現する。さらに、超小型バッテリーレスセンサなど、あらゆる機器に組み込むことが可能となるコメントしている。



論文データとの性能比較。国際会議で報告された最新の研究成果との比較において、大幅な小型化、低ジッタ化を実現した。灰色字のものは手設計によるPLLで、黒字のものは自動設計PLL。星形の今回の成果によるPLLは、自動設計が可能でかつデジタル回路のみで構成できるため、大幅な小型化および低消費電力化を実現している